

⑪ 公開特許公報 (A)

平2-260298

⑫ Int.Cl.⁵

G 11 C 16/04

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月23日

7131-5B G 11 C 17/00

308

審査請求 未請求 請求項の数 3 (全10頁)

⑭ 発明の名称 不揮発性多値メモリ装置

⑮ 特願 平1-81816

⑯ 出願 平1(1989)3月31日

⑰ 発明者 棚川 幸次 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑱ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑲ 代理人 弁理士 柿本 恒成

明細書

1. 発明の名称

不揮発性多値メモリ装置

2. 特許請求の範囲

1. フローティングゲート形EEPROMをメモリセルとする不揮発性多値メモリ装置において、前記メモリセルのフローティングゲートへの電荷を、多値情報入力に応じて制御する制御手段と、前記メモリセルの出力電流の大きさに応じた多値情報を出力する読出し手段とを、設けたことを特徴とする不揮発性多値メモリ装置。

2. 請求項1記載の制御手段は、多値情報入力に応じた電圧値の書き込み、消去パルスを出力する不揮発性多値メモリ装置。

3. 請求項1記載の制御手段は、多値情報入力に応じたパルス幅またはパルス数の書き込み、消去パルスを出力する不揮発性多値メモリ装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、フローティングゲート形EEPROM (電気的再書き込み可能なプログラマブルROM) メモリセルに対して2値 ("1"と"0")以上の情報の書き込み、読み出しが行える不揮発性多値メモリ装置に関するものである。

(従来の技術)

従来、このような分野の技術としては、①特開昭55-6799号公報、及び②特願昭62-215452号明細書に記載されたものがあった。以下、その構成を図を用いて説明する。

第2図は、前記文献①に記載された従来の3値の不揮発性メモリ装置の要部回路図である。

この不揮発性メモリ装置は、マトリクス状に互いに直交するアドレス線1、2及びセレクト線3を有し、そのアドレス線1とセレクト線3の間にn個の通常のダイオード5-1~5-nがダイオード4とは逆方向に接続されている。また、アドレス線2とセレクト線3の間にm個の通常の

ダイオード7-1～7-mがダイオード6とは逆方向に接続されている。

そして、書き込みは、ダイオード4、6に高電圧を印加し、それを破壊・導通させることにより実行される。読み出しは、アドレス線1と2を接続してダイオード5-1～5-nおよび7-1～7-mを逆方向にバイアスし、ダイオード5-1～5-nと7-1～7-mの順方向電圧を多値情報(= "1", "0", "2")として読み出す。

第3図は、本願出願人が先に出願した前記文献②における従来の2値の不揮発性メモリ装置の構成ブロック図である。

この不揮発性メモリ装置は、低電力及び低電圧での書き込み、消去が可能な装置であり、クロックパルス発振回路10から出力された周波数5～10MHz、波高値5Vのクロックパルスが、昇圧回路11で20～25Vの高電圧VPPに昇圧される。高電圧VPPは、レギュレータ回路12で一定の電圧に安定化され、整形回路13により、EEPROMのメモリセル16に対するデータの

(c) 高電圧によりダイオード4、6を破壊・導通して書き込みを行うので、1ビット当たりに比較的大きな電力(例えば、0.5～1W程度)を必要とする。そのため、チップサイズを大形化することなく、低電力で、例えば8～16ビット程度の複数ビットの同時書き込みや、メモリ装置内での書き込みが困難であった。

(ii) 第3図のメモリ装置では、2値情報の記憶のみで、3値以上の多値情報を扱うことができなかった。

本発明は前記従来技術が持っていた課題として、3値以上の情報を1つの不揮発性メモリセルに記憶し、これを書き換え、または読み出すことができない点について解決した不揮発性多値メモリ装置を提供するものである。

(課題を解決するための手段)

本発明は前記課題を解決するために、フローティングゲート形EEPROMメモリセルのスレッショルド電圧Vtが、フローティングゲートに注入される電荷量によって制御されることに着目し

書き込みあるいは消去に必要な高電圧パルスに変換される。この高電圧パルスは、書き込み信号Wと消去信号Eでそれぞれ活性化される高電圧スイッチ回路14、15により、書き込み用高電圧パルスWRと消去用高電圧パルスERとに切換えられ、その高電圧パルスWR、ERによりメモリセル16に対する書き込みあるいは消去が行われる。メモリセル16の記憶データは、読み出し信号RDにより活性化される読み出し回路17で読み出され、読み出しだデータDoutの形で出力される。

(発明が解決しようとする課題)

しかしながら、上記構成の装置では、次のような課題があった。

(i) (a) 第2図のメモリ装置では、ダイオード4、6を破壊・導通して書き込みを行うため、書き直しができない。

(b) 多値にすればする程、ダイオード4、5-1～5-n、6、7-1～7-mの数が増加して回路規模が大きくなるため、高集積化に適さない。

たものである。

即ち、第4図はEEPROMメモリセルのスレッショルド電圧Vtと書き込み/消去パルス電圧の関係を示す電圧特性図である。例えば、メモリセルの初期スレッショルド電圧Vtは約2Vである。書き込み特性Aに示すように、書き込みパルス電圧を1.5Vから2.2Vまで変化すると、それにはほぼ反比例してメモリセルのスレッショルド電圧Vtが2Vから-4V程度に変化する。また、消去特性Bに示すように、消去パルス電圧を1.5Vから2.2Vまで変化すると、それにはほぼ比例してスレッショルド電圧Vtが2Vから8V程度に変化する。

ここで、例えば書き込みパルス電圧は、EEPROMメモリセル中のデータ記憶用の電界効果トランジスタ(以下、FETという)に対し、ゲートが0V、ドレインが高電位となるように印加する。消去パルス電圧は、ゲートが高電位、ドレインが0Vとなるように印加する。そして、メモリセルのスレッショルド電圧Vt値は、フローティングゲートに注入された電荷量が0ならば初期状態の

2V付近、書き込みにより正電荷が注入されると、その量（即ち、書き込みパルス電圧値）に比例して2~4V、消去により負電荷が注入されると、その量（即ち、消去パルス電圧値）に比例して2~8Vとなり、注入する電荷の極性及び量によって-4~-8V程度までほぼ直線的に制御される。

第5図はEEPROMメモリセルのスレッショルド電圧 V_t と書き込み／消去パルス幅の関係を示す電圧特性図である。この図から明らかのように、電圧17Vで、書き込み／消去パルスの幅を1~100msecに変化したとき、スレッショルド電圧 V_t は-3~5V程度に変化する。従って、第4図と同様に、パルス幅によてもスレッショルド電圧 V_t が制御可能である。

ここで本発明は、前記メモリセルの特性に着目し、フローティングゲート型EEPROMをメモリセルとする不揮発性多値メモリ装置において、前記メモリセルのフローティングゲートへの電荷を、多値情報入力に応じて制御する制御手段と、前記メモリセルの出力電流の大きさに応じた多値

Vのクロックパルスを発生するクロックパルス発生回路20を備え、その出力側には、クロックパルスによって電源電圧VDD (=5V) から約22Vの高電圧VPPを発生する昇圧回路30が接続されている。昇圧回路30の出力側は、電圧制御回路40を介してクロックパルス発生回路20のストップ端子20aにフィードバック接続されると共に、レギュレータ回路50に接続されている。

電圧制御回路40は、クロックパルス発生回路20の動作を制御して多値情報入力 (=0~5V) に応じた高電圧VPP1 ($\approx 15 \sim 20V$) を昇圧回路30から出力させる制御手段としての機能を有している。この電圧制御回路40は、高電圧VPP1が入力される例えば15Vのツェナーダイオード41と、負荷抵抗42と、コンパレータ43とを備え、そのコンパレータ43の出力がクロックパルス発振回路20の入力端子20aに接続されている。

昇圧回路30に接続されたレギュレータ50は、

情報を出力する読出し手段とを、設けたものである。

前記制御手段は、例えば多値情報入力に応じた電圧値、パルス幅またはパルス数の書き込み、消去パルスを出力する回路で構成される。

(作用)

本発明によれば、以上のように不揮発性多値メモリ装置を構成したので、制御手段は、多値情報入力に対応した電圧値、パルス幅あるいはパルス数の書き込み、消去パルスを出し、フローティングゲートへの電荷注入量を制御する。これにより、多値情報入力に応じた電荷量がメモリセルに蓄積されるので、それを読出し手段で読出すことにより、多値情報の読みしが行える。従って、前記課題を解決できるのである。

(実施例)

第1図は、本発明の実施例を示す不揮発性多値メモリ装置の構成ブロック図である。

このメモリ装置は、発振停止入力用のストップ端子20aを有し周波数が數MHz、波高値が5

高電圧VPP1を一定の電圧に安定化するための回路であり、その出力VPP2 ($\approx 20V$) が高電圧整形スイッチ回路60に接続されている。高電圧整形スイッチ回路60は、レギュレータ回路50の出力VPP2から、メモリセル70のデータの書き込み／消去に必要な高電圧パルスWR、ERを生成するための回路であり、“1”の書き込み信号Wにより書き込み用高電圧パルスWRを出力する書き込み側スイッチ回路60Aと、“1”の消去信号Eにより消去用高電圧パルスERを出力する消去側スイッチ回路60Bとで、構成されている。メモリセル70は、ソースS、ドレインD、フローティングゲートFG及びコントロールゲートCGにより構成された2層シリコンゲート構造のエンハンスマント形FETが配列されたものであり、その各FETは例えば初期状態のスレッショルド電圧 V_t が2V程度である。このメモリセル70の記憶データは、読出し信号RDにより活性化される読出し回路80により、読出しデータDoutの形で読出される。

第6図は、第1図のクロックパルス発生回路20の構成例を示す回路図である。

このクロックパルス発生回路20は、2入力のNANDゲート21、22、抵抗23、24、キャバシタ25及びインバータ26で構成され、ストップ端子20aが“1”で発振し、“0”で停止する。

第7図は、第1図の昇圧回路30の構成例を示す回路図である。

この昇圧回路30は、クロックパルス由がインバータ31-1、31-2を介してフリップフロップ(以下、FFという)32に入力され、そのFF32の出力がインバータ31-3、31-4で反転される。インバータ31-3の出力は、FET34-1、34-2及びキャバシタ33からなるブルアップ手段に接続され、さらにそのインバータ31-3、31-4の出力が、キャバシタ35-1～35-n及びFET36-1～36-nからなる昇圧段に接続されている。この昇圧回路30では、クロックパルス由により、電源電圧

VDD(=5V)が約22Vにステップアップされた高電圧VPP1が得られる。

第8図は、第1図のレギュレータ回路50の構成例を示す回路図である。

このレギュレータ回路50は、FET51からなるブルダウン手段と、FET52～55からなるブルダウン制御手段と、そのブルダウン制御手段により制御される出力用FET56とを備え、入力された高電圧VPP1の最大値を例えば20Vに制限して安定した高電圧VPP2を出力する回路である。

第9図は、第1図の高電圧整形スイッチ回路60の構成例を示す回路図である。

この高電圧整形スイッチ回路60のうち、書込み側スイッチ回路60Aは、“1”的書込み信号Wによりオフ状態となるエンハンスマント形FET61-1と、クロックパルス由を反転するインバータ62と、“1”的書込み信号Wによりゲートが開いて相補的なクロックパルス由、由を入力する2入力のNANDゲート63-1、63-2からなる。

と、そのNANDゲート63-1、63-2の出力により充放電するキャバシタ64-1、64-2と、そのキャバシタ64-1、64-2の出力により書込み用高電圧パルスWRを生成するFET61-2～61-4などで、構成されている。消去側スイッチ回路60Bも書込み側スイッチ回路60Aと同様に、“1”的消去信号Eによりオフ状態となるエンハンスマント形FET65-1と、クロックパルス由を反転するインバータ66と、“1”的消去パルスEによりゲートが開いて相補的なクロックパルス由、由を入力する2入力のNANDゲート67-1、67-2と、そのNANDゲート67-1、67-2の出力により充放電するキャバシタ68-1、68-2と、そのキャバシタ68-1、68-2の出力により消去用高電圧パルスERを生成するFET65-2～65-4などで、構成されている。

第10図は、第1図のメモリセル70と読出し回路80の構成例を示す回路図である。

読出し回路80は、メモリセル70に接続され

たFET81～85、電流ミラー回路86、オペアンプ87、及び抵抗88、89より構成されている。

以上のように構成される不揮発性多値メモリ装置の(I)書込み／消去動作と(II)読出し動作について説明する。

(I) 書込み／消去動作

第1図のクロックパルス発生回路20が数MHzのクロックパルス由を出力すると、そのクロックパルス由により、昇圧回路30が電源電圧VDD(=5V)から約22Vの高電圧VPP1を発生し、それを電圧制御回路40及びレギュレータ50に供給する。

電圧制御回路40は、高電圧VPP1が15V以下ではツェナーダイオード41に電流が流れないため、コンバレータ43の(-)入力が0Vである。多値情報入力Dinの電圧がDin>0Vであれば、コンバレータ43の出力が“1”となり、それがクロックパルス発生回路20のストップ端子20aに与えられるため、クロックパルス発生

回路20は正常動作を行う。昇圧回路30から出力される高電圧VPP1が15V以上になると、ツェナーダイオード41に電流が流れ、負荷抵抗42に生じた電圧降下分がコンバレータ43の(+)入力に印加される。コンバレータ43は、(+)入力側の多値情報入力Dinの電圧と(-)入力側の電圧とを比較し、(-)入力>(+)入力のときには出力を“0”とする。すると、クロックパルス発生回路20の動作が停止し、昇圧回路30も動作を停止するため、その出力高電圧VPP1が徐々に低下する。そして、この高電圧VPP1が電圧制御回路40にフィードバック(41→42→43)され、コンバレータ43で比較されて多値情報入力Dinより低くなると、コンバレータ43の出力が“1”となり、再びクロックパルス発生回路20及び昇圧回路30が動作を開始して出力高電圧VPP1を上昇させる。これにより、昇圧回路30から出力される高電圧VPP1は、多値情報入力Dinの電圧によって定まる一定値に制御されることになる。なお、負荷抵

抗42の値は、多値情報入力Dinの電圧0~5Vに対し、昇圧回路30の出力高電圧VPP1が15~20V程度になるように決定される。

多値情報入力Dinに応答した値をもつ高電圧VPP1は、レギュレータ回路50で安定化されて高電圧VPP2となり、それが高電圧整形スイッチ回路60を介してメモリセル70に印加される。この間、多少の電圧降下があるため、その分を見込んで高電圧VPP1の値が制御される。

書き込みの場合、書き込み信号Wが“1”となるので、高電圧整形スイッチ回路60内の書き込み側スイッチ回路60Aが動作し、その書き込み側スイッチ回路60Aから波高値VPP2の書き込み用高電圧パルスWRが出力されて、第10図のメモリセル70のドレインに供給される。この時、第10図のFET84は書き込み信号W=“1”によりオンしているので、メモリセル70のコントロールゲートCGが接地電位であり、書き込み用高電圧パルスWRによってメモリセル70のフローティングゲートFGに正の電荷が注入される。従って、メ

モリセル70には多値情報入力Dinに応答した電荷量が注入され、記憶される。

消去の場合、第1図の消去信号Eが“1”となるので、高電圧整形スイッチ回路60内の消去側スイッチ回路60Bが動作し、そのスイッチ回路60Bから波高値VPP2の消去用高電圧パルスERが印出力されて、第10図のメモリセル70のコントロールゲートCGに供給される。この時、メモリセル70のドレインはオン状態のFET85を通して接地電位になっているため、メモリセル70のフローティングゲートFGに負の電荷が注入され、記憶情報が消去される。

(II) 読出し動作

第10図の読出し信号RDが“1”になると、FET81, 82, 83がオンし、メモリセル70のソースがFET81を介して接地され、そのメモリセル70のコントロールゲートCGにはFET83を介して電源電圧VDA側から3.5V程度の読出し用電圧が与えられる。すると、メモリセル70のドレインD・ソースS間にには、注入

された電荷量に対応するドレイン電流Ids1が流れる。このドレイン電流Ids1は読出し回路80における電流ミラー回路86で反転され、その反転電流Ids2がオペアンプ87の(-)入力に流れ込む。オペアンプ87は帰還用の抵抗89により電流/電圧変換器を構成しているので、抵抗88を通して、流入した電流Ids2に比例した電圧の読出しデータDoutが、そのオペアンプ87から出力される。

本実施例では、次のような利点を有している。

- (a) 多値情報入力Dinに応答した電圧を発生させる電圧制御回路40と、メモリセル70の出力電流の大きさに応答して多値情報を出力する読出し回路80とを設けたので、3値以上の多値情報を記憶できる不揮発多値メモリ装置を実現できる。この種のメモリ装置は、アナログ量を直接、記憶、再生(読出し)できるため、音声や各種アナログデータのメモリ装置として最適である。
- (b) 何度も書き直し(書き換え)が可能である。多値になってしまっても、メモリ素子は増加せず、つまり

記憶面積は変わらず、高集積化に適している。書込み、消去時の電力は数Wのオーダで可能であり、低電力で並列同時書き込みや、読み出しが行えるばかりか、チップ面積を増大させることなく、容易にメモリ装置内での書き換えができる。

(c) 第10図の読み出し回路80では、電流ミラー回路86を用いてドレイン電流Idsの方向を反転しているので、出力段の回路構成が簡単になる。

なお、本発明は図示の実施例に限定されず、種々の変形が可能である。その変形例としては、例えば、次のようなものがある。

(I) 第11図は、第1図の読み出し回路80の他の構成例を示す要部回路図である。

複数のメモリセル70-1～70-3……にそれぞれ電流ミラーレ回路86-1～86-3……を接続し、その電流ミラーレ回路86-1～86-3……の出力をワイヤードオア接続すれば、複数ビットに記憶された多値情報をオペアンプ87を介してシリアルに、簡単に読み出すことができる。

例を示したが、電圧制御回路40に代えて、パルス幅制御手段またはパルス数制御手段を設けても、第1図とほぼ同様の作用、効果が得られる。例えば、パルス幅制御手段は、カウンタ回路を用いてその分周比を多値情報入力Dinに応じて変化させ、クロックパルス中のパルス幅を制御する回路構成にしたり、あるいはマイクロコンピュータのプログラム制御等によってクロックパルス中のパルス幅を制御することにより、容易に現実できる。同様に、パルス数制御手段も、カウンタ回路やプログラム制御手段等を用い、多値情報入力Dinに対応してクロックパルス中の数を制御することにより、容易に実現できる。

また、電圧制御回路40、パルス幅制御手段あるいはパルス数制御手段を設ける場所は、昇圧回路30の出力とクロックパルス発生回路20の間に限定されるものではない。要は、多値情報に応答したパルス電圧、パルス幅またはパルス数が得られればよいのであって、例えばレギュレータ回路50と高電圧整形スイッチ回路60との間に設

(ii) 第1図の読み出し回路80は、第12図及び第13図等に示すように、種々の構成例が考えられる。

第12図の読み出し回路は、メモリセル70のソースS側からFET81を介してデータを読み出すようにしたものであり、このようにすれば、メモリセル出力電流の方向を反転するための電流ミラーレ回路が不要となる。

第13図の読み出し回路では、メモリセル70のドレインDに、FET82を介してレベル検出回路90を設け、そのレベル検出回路90により、3値の読み出しを行うようにしたものである。即ち、メモリセル70の出力電流のレベルをFET82を介して、デブレッショントラニジットFET91、92、エンハンスマントトランジットFET93及び抵抗94からなる回路で検出し、その検出結果の論理をANDゲート95、96、97でとり、“0”、“1”、“2”的3値の読み出しデータDoutを出力する。

(iii) 第1図では、電圧制御回路40により、電圧制御を行って多値情報の記憶、読み出しが行う

れる等、任意の位置に設けることができる。

(iv) 上記実施例では、メモリセル70として初期状態のスレッショルド電圧Vtが2V程度のエンハンスマントトランジットFETのものについて説明したが、これをデブレッショントラニジットFETに置き換えて、スレッショルド電圧Vtの初期値を-2～-4V程度にすることもできる。この場合、電荷注入の方向が負方向(消去の方向)のみでスレッショルド電圧Vtを制御できるため、周辺回路の簡単化、即ち書き込み回路が不要となる利点がある。

(発明の効果)

以上詳細に説明したように、本発明によれば、制御手段により、多値情報入力に応じてメモリセルへの注入電荷量を制御し、その注入電荷量を読み出し手段で読み出すようにしたので、3値以上の多値情報を記憶でき、何度も書き換えができる。多値になどてもメモリ素子は増加せず、高集積化が図れる。さらに、書き込み時の電力が小さく、同時に書き込みや、メモリ装置内での書き換えができる。

4. 図面の簡単な説明

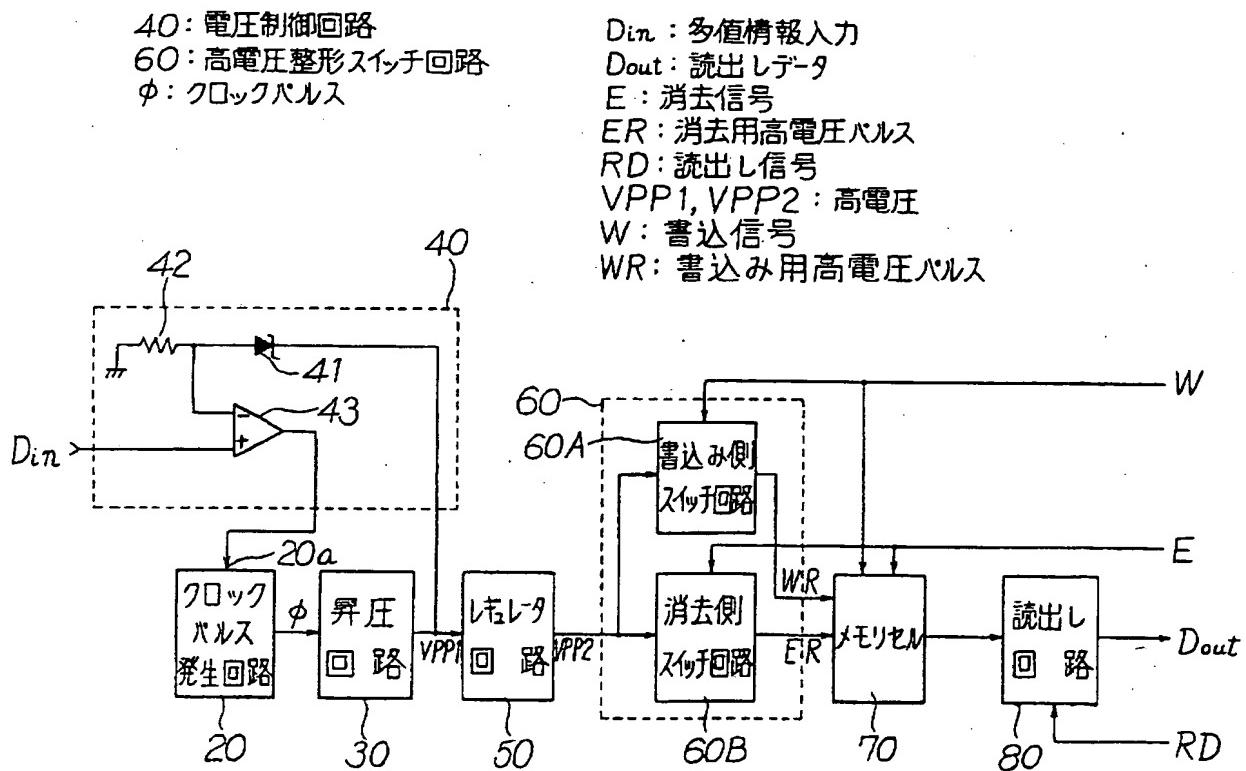
第1図は本発明の実施例を示す不揮発性多値メモリ装置の構成ブロック図、第2図は従来の不揮発性メモリ装置の要部回路図、第3図は従来の不揮発性メモリ装置の構成ブロック図、第4図及び第5図はEEPROMメモリセルの電圧特性図、第6図は第1図のクロックパルス発生回路の回路図、第7図は第1図の昇圧回路の回路図、第8図は第1図のレギュレータ回路の回路図、第9図は第1図の高電圧整形スイッチ回路の回路図、第10図は第1図のメモリセルと読み出し回路の回路図、第11図、第12図及び第13図は第1図の読み出し回路の他の構成例を示す回路図である。

20……クロックパルス発生回路、30……昇圧回路、40……電圧制御回路、60……高電圧整形スイッチ回路、70……メモリセル、80……読み出し回路、 ϕ ……クロックパルス、Din……多値情報入力、Dout……読み出しだ、E……消去信号、ER……消去用高電圧パルス、R……読み出し信号、VPP1, VPP2……高電

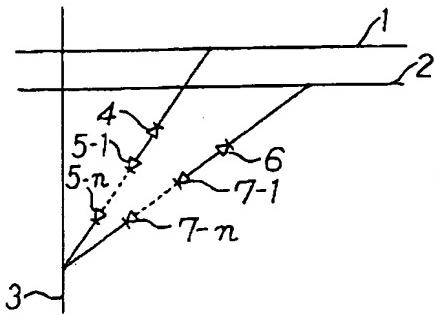
圧、W……書き込み信号、WR……書き込み用高電圧パルス。

出願人 沖電気工業株式会社

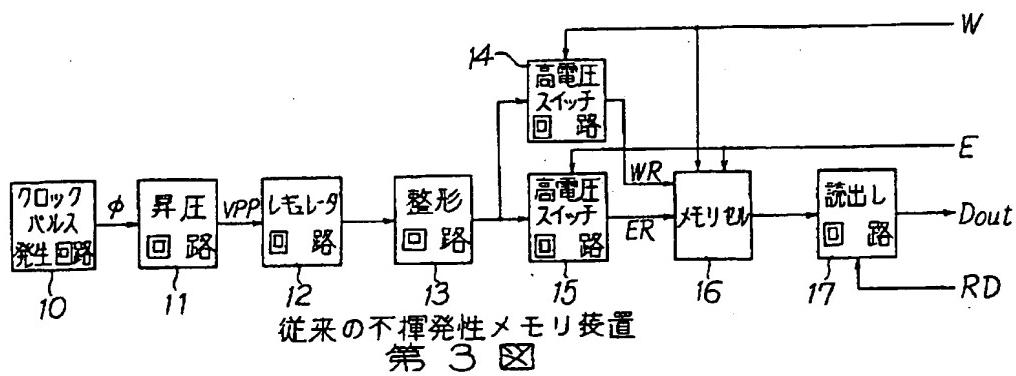
代理人弁理士 柿 本 勝 成



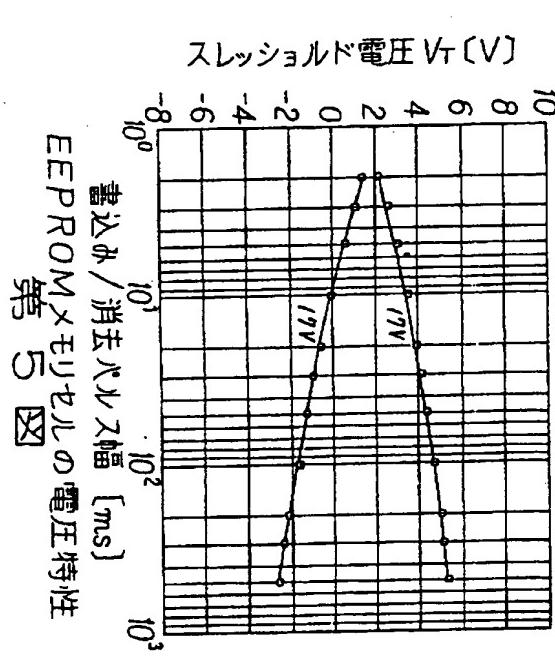
本発明の実施例の不揮発性多値メモリ装置
 第1図



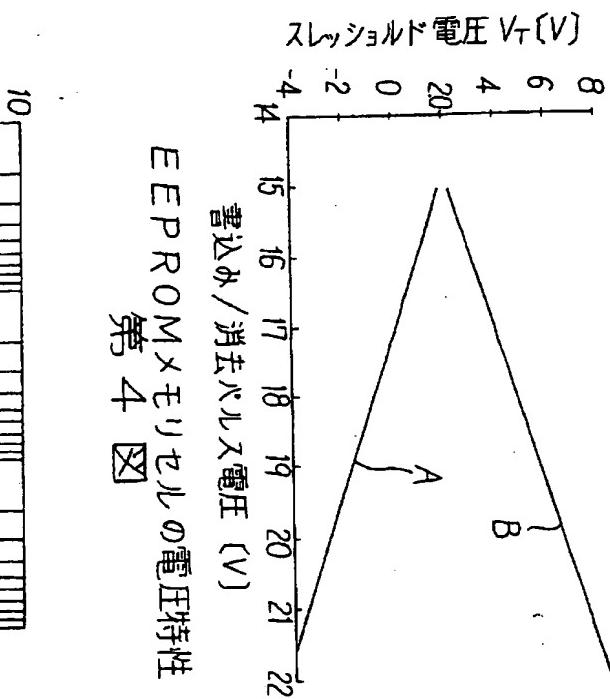
従来の不揮発性メモリ装置
第2図



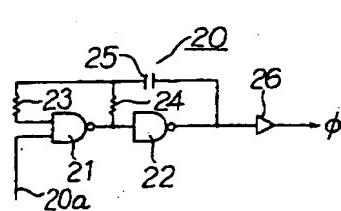
従来の不揮発性メモリ装置
第3図



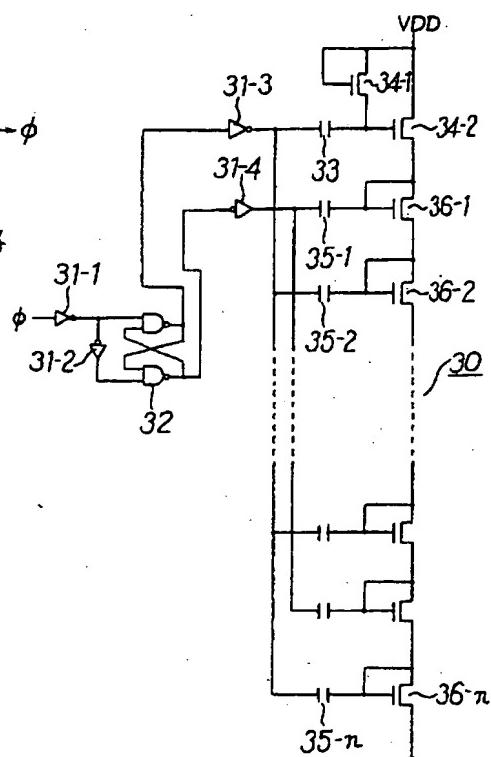
EEPROMメモリセルの電圧特性
第4図



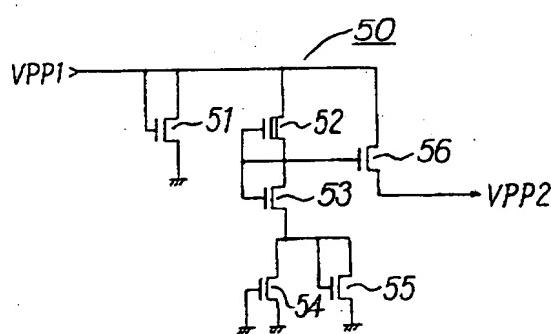
EEPROMメモリセルの電圧特性
第5図



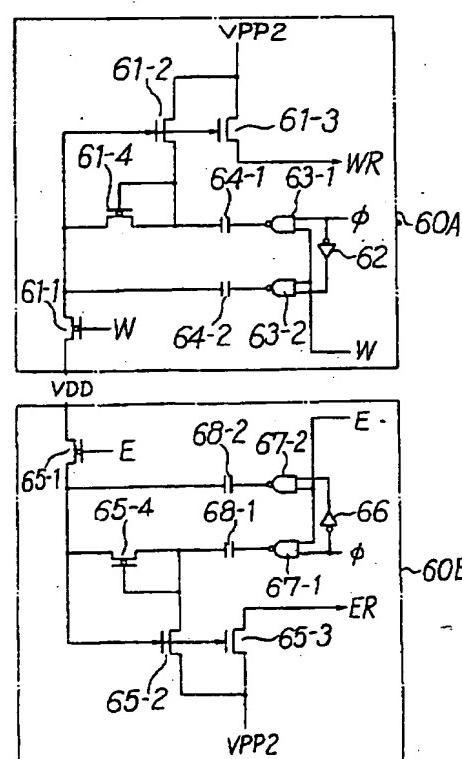
第1図のクロックバル入発生回路 第 6 図



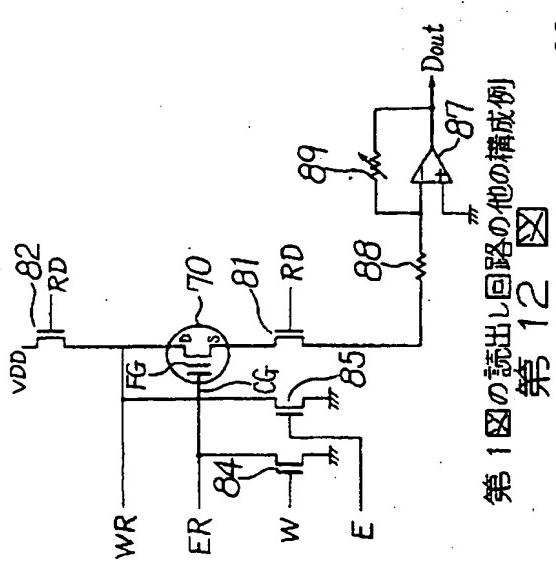
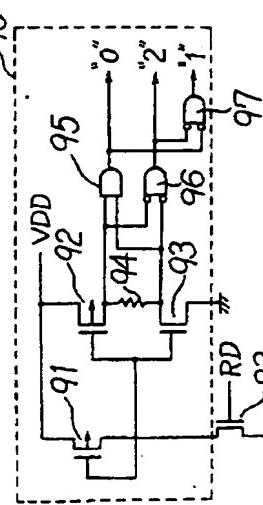
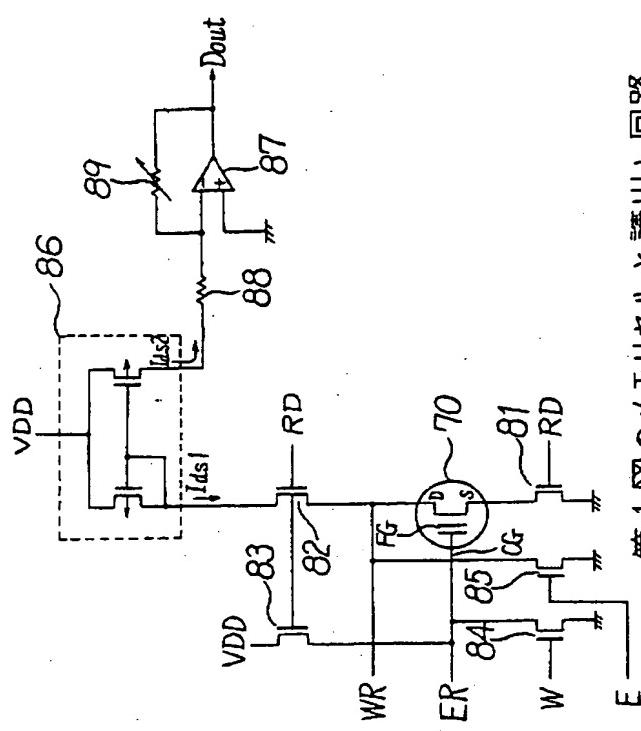
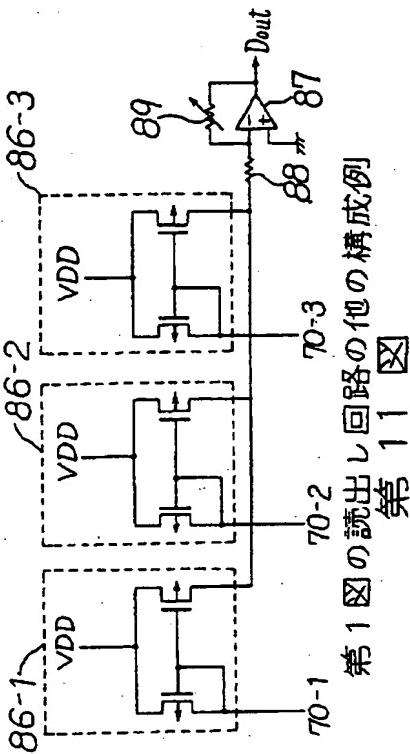
第1図の昇圧回路 第7図



第1図のレギュレータ回路 第8図



高電圧整形スイッチ回路 第9図

第1図の読み出し回路の他の構成例
第12図第1図の読み出し回路の他の構成例
第13図第1図のメモリセルと読み出し回路
第10図第1図の読み出し回路の他の構成例
第11図